

Patent Abstracts of Japan

PUBLICATION NUMBER : 04251939
PUBLICATION DATE : 08-09-92

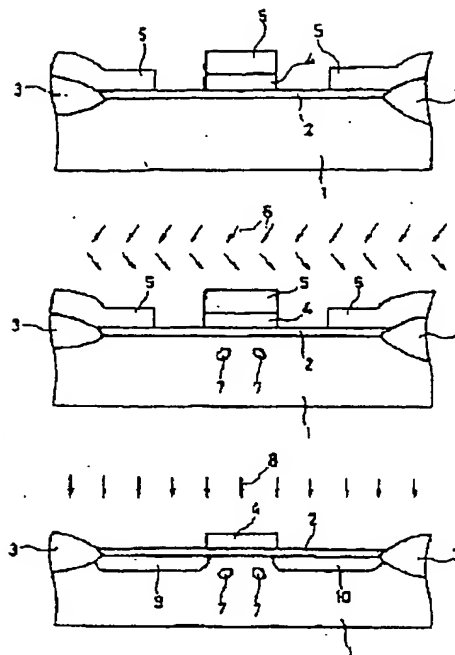
APPLICATION DATE : 09-01-91
APPLICATION NUMBER : 03013957

APPLICANT : MITSUBISHI ELECTRIC CORP;

INVENTOR : KOMORI JUNKO;

INT.CL. : H01L 21/336 H01L 29/784 H01L 21/265

TITLE : SEMICONDUCTOR DEVICE AND
MANUFACTURE THEREOF



ABSTRACT : PURPOSE: To prevent punch-through in a MOSFET by keeping the drain depletion layer from extending toward the source even in the case of a lightly doped substrate.

CONSTITUTION: After a gate electrode 4 is formed, an insulating film 5 is deposited on an area away from the gate electrode. The insulating film 5 and gate electrode 4 are used as a mask, and oxygen ions are obliquely implanted to form a buried insulating layer 7 in a channel region.

COPYRIGHT: (C)1992,JPO&Japio

BEST AVAILABLE CO

11

8

THIS PAGE BLANK (USPTO)

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平4-251939

(43) 公開日 平成4年(1992)9月8日

(51) Int.Cl. ⁵	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L	21/336			
	29/784			
	21/265			
		8422-4M	H 0 1 L 29/78	3 0 1 Z
		7738-4M	21/265	V
			審査請求 未請求 請求項の数 2 (全 4 頁)	

(21) 出願番号 特願平3-13957

(22) 出願日 平成3年(1991)1月9日

(71) 出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(72) 発明者 白畑 正芳

兵庫県伊丹市瑞原4丁目1番地 三菱電機株式会社エル・エス・アイ研究所内

(72) 発明者 前田 敦

兵庫県伊丹市瑞原4丁目1番地 三菱電機株式会社エル・エス・アイ研究所内

(72) 発明者 小守 純子

兵庫県伊丹市瑞原4丁目1番地 三菱電機株式会社エル・エス・アイ研究所内

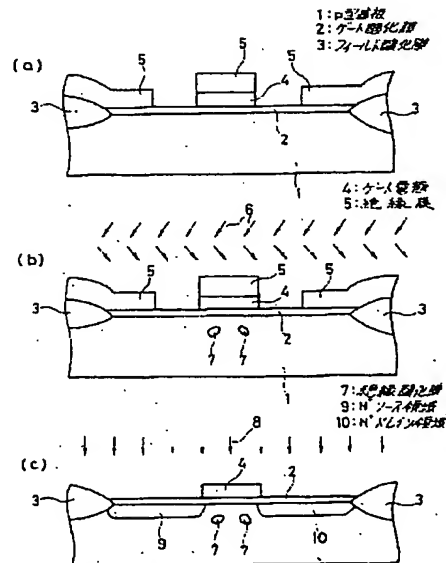
(74) 代理人 弁理士 早瀬 憲一

(54) 【発明の名称】 半導体装置及びその製造方法

(57) 【要約】

【目的】 MOSFETにおいて、低い基板濃度でもドレイン空乏層のソース側への伸びを抑えパンチスルーを防ぐ。

【構成】 ゲート電極4形成後、ゲート電極4近傍を除いて絶縁膜5を堆積し、この絶縁膜5及びゲート電極4をマスクとして酸素イオンを斜め注入してチャネル領域内に絶縁埋込層7を形成する。



BEST AVAILABLE COPY

(2)

特開平4-251939

1

2

【特許請求の範囲】

【請求項1】 基板上にソース・ドレイン拡散層領域が形成され、該ソース・ドレイン拡散層領域間に絶縁膜を介してゲート電極が形成されたMOS型半導体装置において、上記ソース拡散層領域近傍のチャネル領域内に絶縁領域を備えたことを特徴とする半導体装置。

【請求項2】 基板上にソース・ドレイン拡散層領域を形成し、該ソース・ドレイン拡散層領域間に絶縁膜を介してゲート電極を形成してなるMOS型半導体装置の製造方法において、半導体基板の主表面上方にゲート電極及びソース・ドレイン拡散層領域を形成した後、ゲート電極近傍を除き選択的に半導体基板上に絶縁膜を形成する工程と、上記絶縁膜及びゲート電極をマスクとして半導体基板主表面に対して斜め方向から、半導体基板を回転させながらイオン注入を行ない、上記ソース拡散層領域近傍のチャネル領域内に絶縁領域を形成する工程を有することを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 この発明は半導体装置、特にMOS電界効果型半導体装置及びその製造方法に関するものである。

【0002】

【従来の技術】 図2は従来のこの種の半導体装置の製造方法を示す断面図であり、図において1はP型シリコン基板、2はP型シリコン基板1上に形成された絶縁膜、3はP型シリコン基板1上の所定の場所に設けられた素子分離のためのLOCOS酸化膜（フィールド酸化膜）、4はゲート電極、9、10はそれぞれN型不純物を注入してできたN型ソース及びドレイン拡散層領域である。

【0003】 次に製造方法について説明する。まず、図2(a)に示すように、P型シリコン基板1の上にゲート酸化膜2と、素子分離のためのLOCOS酸化膜3を形成する。そしてゲート酸化膜2上にゲート電極4を形成した後、これをマスクとして、砒素等のN型不純物を矢印8で示される方向からイオン注入する。これによって図2(b)に示すように、ソース拡散層領域9およびドレイン拡散層領域10を形成する。

【0004】 次に動作について説明する。ソース拡散層領域9の電位を基準として、ドレイン拡散層領域10に正の電位を与える。そしてゲート電極4の電位がソース拡散層領域9の電位と等しいならば、ソース・ドレイン間に電流は流れないが、ゲート電極4が正の電位で、ソース・ドレイン間にn型反転層のチャネルが形成されると、ソース・ドレイン間に電流が流れる。このようにゲート電極4の電位によって、ソース・ドレイン間に流れる電流が制御される。

【0005】

【発明が解決しようとする課題】 従来の製造方法により

製造された半導体装置は以上のように構成されているので、ゲート長が短くなると、ドレイン側の空乏層がソース拡散層領域に達し、ゲート電極4で制御できない電流がソース・ドレイン間に流れるパンチスルーという現象が生じるという問題点があった。またこれを防ぐために空乏層の伸びを抑えるように基板濃度を高くすることが必要になり、その基板濃度に対して、チャネルを形成させるのに必要なゲート電圧、すなわちしきい値電圧を一定値に調整するために薄い酸化膜を精度よく形成する必要が生じるなどの問題点があった。

【0006】 この発明は上記のような問題点を解消するためになされたもので、低い基板濃度でも空乏層の伸びを抑えパンチスルーを防ぐことができる半導体装置及びその製造方法を得ることを目的とする。

【0007】

【課題を解決するための手段】 この発明に係る半導体装置は、ソース拡散層領域近傍のチャネル領域内に絶縁領域を設けたものである。

【0008】 また、この発明に係る半導体装置の製造方法は、通常のMOSFETの製造工程において、ゲート電極形成後、ゲート電極及び絶縁膜をマスクとして、酸素イオンを半導体基板の主表面に対して斜めにウエハを回転しながら注入する工程を含み、ソース拡散層領域近傍のチャネル領域内に絶縁領域を形成するようにしたものである。

【0009】

【作用】 この発明においては、ソース拡散層領域近傍のチャネル領域内に絶縁領域を設けたから、パンチスルーの原因であるドレイン空乏層のソース側への伸びを防ぐことができる。

【0010】 また、この発明における酸素をイオン注入する工程は、ゲート電極を形成した後、斜めにイオン注入するため、チャネル領域内に絶縁領域を形成することができる。

【0011】

【実施例】 図1は本発明の一実施例による半導体装置の製造方法を示す工程断面図であり、図2と同一符号は同一または相当部分を示し、7はソース・ドレイン拡散層領域間のP型半導体基板（チャネル領域）内に埋め込まれた絶縁埋込層（絶縁領域）である。

【0012】 次に製造方法について説明する。図1(a)において、まず従来と同様にしてP型シリコン基板1上にゲート酸化膜2と素子分離のためのLOCOS酸化膜3を形成する。その後ゲート電極4を形成し、CVD法により堆積した酸化膜のような絶縁膜5をゲート電極4上、及びゲート電極4からある距離を隔てるようにして形成する。次に図1(b)に示すように絶縁膜5及びゲート電極4をマスクとして、シリコン基板1の主表面に対し、矢印6で示すように45°の傾きを持つ方向から、シリコン基板1を回転させながら酸素イオンを

3

例えば 10^{17} cm^{-2} のドーズ量、 100 KeV のドーズエネルギーで注入する。次に電気炉中で 1350°C 、 N_2 雰囲気中で6時間の熱処理を行い、酸素をシリコンと化合させて、シリコン基板1の内部に絶縁埋込層7（酸化膜）を形成する。次に図1（c）に示すように、絶縁膜5を除去し、ゲート電極4をマスクとして矢印8の方向から砒素等のN型不純物を注入し、 N^+ ソース拡散層領域9と N^+ ドレイン拡散層領域10を形成する。

【0013】次に動作について説明する。ソース拡散層領域9の電位を基準として、ドレイン拡散層領域10に正の電位を与える。そして、ゲート電極4の電位がソース拡散層領域9の電位と等しいならば、ソース・ドレイン間に電流は流れないが、ゲート電極4が正の電位でソース・ドレイン間にn型反転層のチャンネルが形成されると電流が流れる。このとき、ドレイン側の空乏層の伸びは絶縁膜層7で止まり、ソース拡散層側には伸びてゆかない。したがって、ソース・ドレイン間が空乏層でつながってゲート電極4の電位によらず電流が流れてしまうパンチスルー現象を抑えることができる。

【0014】このように本実施例によれば、ゲート電極4形成後、ゲート電極4近傍を除いて絶縁膜5を堆積し、この絶縁膜5及びゲート電極4をマスクとして酸素イオンを斜め注入してチャンネル領域内に絶縁埋込層7を設けたから、ドレイン空乏層の伸びは絶縁埋込層7で抑制されることとなり、ゲート長が短くても低い濃度の基板でパンチスルーを抑えることができる。

【0015】なお上記実施例ではソース・ドレインが単一の濃度を持つ構造を示したが、ショートチャンネル効果を防止するために、ゲート下のチャンネル領域とソース、ゲート領域との間にそれらの濃度の中間濃度層を設けたLDD（Lightly Doped Drain）構造のものであっても同様の効果を奏する。

【0016】また、P型シリコン基板1中に酸素イオン

4

を注入して絶縁埋込層を形成したが、絶縁埋込層を形成する材料はこれに限らず、例えば窒素（N）など絶縁物を形成し得る物質であればかまわない。

【0017】また、上記実施例ではソース、ドレインの両近傍に絶縁埋込層7を形成したが、絶縁埋込層を形成するのはソース近傍のみでもよい。

【0018】また、上記実施例ではN-chMOSFETの例を示したが、P-chMOSFETの場合でも同様の効果を奏するのは言うまでもない。

【0019】

【発明の効果】以上のようにこの発明によれば、シリコン基板を回転させながら斜め方向にイオン注入を行ないチャンネル領域内に絶縁領域を形成したから、ゲート長が短くてもドレイン空乏層の伸びは、この絶縁埋込層で止められパンチスルー現象が起らず、その結果基板濃度を従来構造ほど高くする必要がなくなり、スレッショールド電圧を一定値に調整するために薄い酸化膜を形成する等の複雑な製造工程を不要とすることができるという効果がある。

【図面の簡単な説明】

【図1】この発明の一実施例による半導体装置およびその製造方法を示す断面図である。

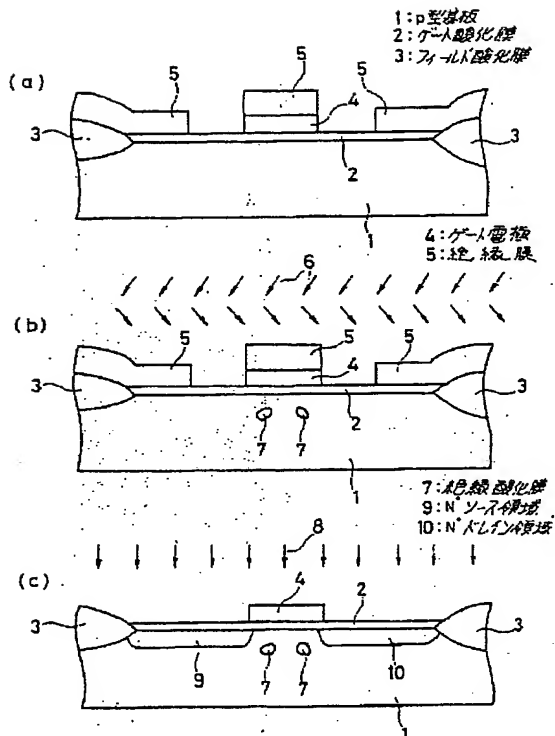
【図2】従来の半導体装置およびその製造方法を示す断面図である。

【符号の説明】

- 1 p型基板
- 2 ゲート酸化膜
- 3 素子分離のためのフィールド酸化膜
- 4 ゲート電極
- 5 絶縁膜
- 7 絶縁埋込層（絶縁領域）
- 9 N^+ ソース領域
- 10 N^+ ドレイン領域

BEST AVAILABLE COPY

【図1】



【図2】

